



Method for forming gate electrode of semiconductor device

Patent number: CN1123465
Publication date: 1996-05-29
Inventor: PAIK CHOONG-RYUL (KR)
Applicant: SAMSUNG ELECTRONICS CO LTD (KR)
Classification:
- international: **H01L21/285; H01L21/203; H01L21/28; H01L21/336; H01L29/78; H01L21/02; H01L29/66; (IPC1-7): H01L21/28; H01L21/283**
- european: H01L21/28E2B6
Application number: CN19951015891 19950818
Priority number(s): KR19940020433 19940818

Also published as:

 EP0697714 (A1)
 JP8116057 (A)

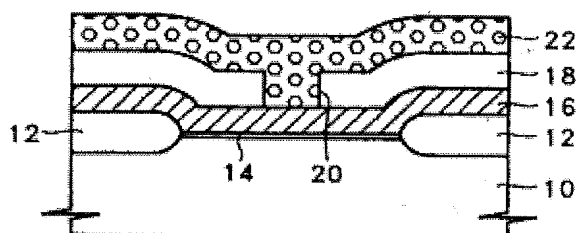
[Report a data error here](#)

Abstract not available for CN1123465

Abstract of correspondent: **EP0697714**

A method for manufacturing a titanium nitride (TiN) gate electrode of a semiconductor device includes the steps of: forming a gate insulating layer (14) on a semiconductor substrate (10); and forming a TiN layer (16) on the surface of the gate insulating layer by means of sputtering at a temperature of not less than 200 DEG C and not more than 800 DEG C. The gate electrode of the present invention has a low resistivity when compared with the conventional gate electrode.
<MATH>

FIG. 1



Data supplied from the esp@cenet database - Worldwide

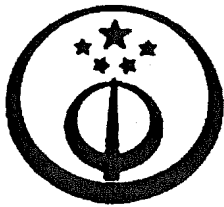
Family list

3 family members for: **CN1123465**

Derived from 3 applications

- 1 Method for forming gate electrode of semiconductor device**
Inventor: PAIK CHOONG-RYUL (KR) **Applicant:** SAMSUNG ELECTRONICS CO LTD (KR)
EC: H01L21/28E2B6 **IPC:** *H01L21/285; H01L21/203; H01L21/28* (+6)
Publication info: **CN1123465 A** - 1996-05-29
- 2 Method for forming gate electrode of semiconductor device**
Inventor: PAIK CHOONG-RYUL (KR) **Applicant:** SAMSUNG ELECTRONICS CO LTD (KR)
EC: H01L21/28E2B6 **IPC:** *H01L21/285; H01L21/203; H01L21/28* (+5)
Publication info: **EP0697714 A1** - 1996-02-21
- 3 MANUFACTURE OF TIN GATE ELECTRODE ON SEMICONDUCTOR DEVICE**
Inventor: HAKU CHIYUURETSU **Applicant:** SAM SUNG ELECTRONIC
EC: H01L21/28E2B6 **IPC:** *H01L21/285; H01L21/203; H01L21/28* (+8)
Publication info: **JP8116057 A** - 1996-05-07

Data supplied from the *esp@cenet* database - Worldwide



[12] 发明专利申请公开说明书

[21]申请号 95115891.0

[43]公开日 1996年5月29日

[51]Int.Cl⁶

H01L 21/28

[22]申请日 95.8.18

[30]优先权

[32]94.8.18 [33]KR[31]20433/94

[71]申请人 三星电子株式会社

地址 韩国京畿道水原市

[72]发明人 白忠烈

[74]专利代理机构 中国专利代理(香港)有限公司
代理人 吴大建

H01L 21/283

权利要求书 2 页 说明书 6 页 附图页数 3 页

[54]发明名称 构成半导体器件栅极的方法

[57]摘要

一种制造半导体器件氮化钛(TiN)栅极的方法,其步骤包括:在半导体基片上形成栅极隔离层,在不低于200℃不高于800℃,较优选600℃的温度下以溅射方法在栅极隔离层表面上形成TiN层。本发明的栅极具有比常规栅极低的电阻率。

权 利 要 求 书

1. 一种制造半导体器件氮化钛(TiN)栅极的方法,包括以下步骤:

(a) 在半导体基片上形成一个栅极隔离层;

(b) 在不低于200℃不大于800℃的温度下以溅射方法在所述栅极隔离层表面上形成TiN层。

2. 如权利要求1的所述一种制造半导体器件TiN栅极的方法,其中所述的步骤(b)进一步包括以下步骤:

以溅射方法在不低于200℃不大于800℃的温度下以第一生成率在所述栅极隔离层上形成第一TiN层;以及

以溅射方法在不低于200℃不大于800℃的温度下以第二生成率在第一TiN层上形成第二TiN层。

3. 如权利要求2所述的一种制造半导体器件TiN栅极的方法,其中所述的第二生成率高于第一生成率。

4. 如权利要求2所述的一种制造半导体器件TiN栅极的方法,其中所述的第一TiN层在氮气气氛中沉积,所述第二TiN层在氩气和氮气混合气氛中沉积。

5. 如权利要求2所述的一种制造半导体器件TiN栅极的方法,其中,沉积所述第二TiN层以后,具有较低电阻率的金属材料进一步地形成在其上,由此形成一个包括所述第一和第二TiN层以及所述金属材料的栅极。

6. 如权利要求5所述的一种制造半导体器件TiN栅极的方法,

其中所述金属材料是选自钨(W)、硅化钨(WSix)和铜(Cu)中的一种。

7. 如权利要求1-6 中任一权利要求所述的一种制造半导体器件TiN栅极的方法，其中所述的溅射是优选在温度为600℃下进行的。

构成半导体器件栅极的方法

本发明涉及一种构成半导体器件栅极的方法,特别是涉及通过形成氮化钛(TiN)栅极来改善栅极隔离层击穿特性的半导体器件栅极的构成方法。

金属-氧化物半导体(MOS)晶体管包括通过注入相反导电性的杂质离子到半导体基片上而形成在半导体基片上的一个源极区和一个漏极区,一个形成在源极区和漏极区之间的沟道槽区,以及一个形成在沟道槽区上的栅极。

一般,MOS晶体管的栅极由掺杂的多晶硅制成。当栅极由掺杂的多晶硅构成时,栅极的形成过程被稳定地完成。然而,由掺杂多晶硅形成的栅极的表面电阻比其他金属材料构成的栅极相比要高。即构成栅极的多晶硅具有较高的电阻率大约为 $1\text{m}\Omega\text{cm}$ 。因此,对于MOS晶体管电信号传导被延时并且功耗增加。

此外,由于半导体器件越来越多地被集成,随后图模面积的缩小大大的增加了掺杂多晶硅栅极的电阻率,器件的退化作用和可靠性。

同时,当具有低于多晶硅电阻率的金属材料被用作构成栅极的材料时,栅极金属材料与栅极隔离层发生反应,或者扩散进入栅极自身,因此降低了栅极隔离层的击穿电压。

近来,作为具有低电阻率的金属材料的例子,氮化钛(TiN)被大

量地用作高集成度半导体器件生产过程中的阻挡金属层,这是由于其较高的熔点(大约 $3,000^{\circ}\text{C}$)以及优越的扩散阻挡特性。另外,TiN具有 $4.63-4.75\text{eV}$ 范围的功函数,它大约处在其他材料的功函数的中间。由此,TiN具有这样的优点它使N-沟道及P-沟道MOS晶体管能够作为表面沟道型器件使用。一般,尽管TiN被用来构成栅极时它被在室温由反应溅射方法沉积,并且与具有大约 $18\mu\Omega\text{cm}$ 电阻率的常规松散TiN层相比,这样构成的TiN层具有范围在 $0.2-1\text{m}\Omega\text{cm}$ 的较高电阻率。该电阻率将根据TiN层的组成、表面状态、微构造和杂质含量而变化。

本发明的目的是提供一种构成半导体器件氮化钛(TiN)栅极的方法,它可以得到可靠的栅极隔离层击穿特性以及降低的电阻率。

为了达到上述目的,提供的构成半导体器件氮化钛栅极的方法包括以下步骤:(a)在半导体基片上形成一个栅极隔离层;(b)在栅极隔离层表面上以溅射方法在不低于 200°C 不大于 800°C ,较优选 600°C 的温度下形成TiN层。

步骤(b)进一步包括在栅极隔离层上以溅射方法在不低于 200°C 不大于 800°C ,较优选 600°C 的温度和第一生成率下形成第一TiN层,在第一TiN层上以溅射方法在不低于 200°C 不大于 800°C ,较优选 600°C 的温度和高于第一生产率的第二生成率下形成第二TiN层。

TiN层可以在氩气(Ar)和氮气(N_2)混合气氛中生成,也可以选择第一TiN层在氮气气氛中生成,第二TiN层在混合气氛中生成。

沉积第二TiN层之后,具有较低电阻率的金属材料进一步构成在第二TiN层上,由此形成一个包括第一和第二TiN层及金属材料的栅极。最好是具有较低电阻率的金属材料是选自钨(W)、硅化钨(WSi_x)、硅化钛(TiSi_x)和铜(Cu)中的一种。

根据本发明,可以获得具有低电阻率以及优越的栅极隔离层击穿特性的栅极。

本发明的上述目的和优点根据附图通过结合最佳实施例的详细描述会更加清楚。

图1是根据本发明实施例的方法构成的TiN栅极的剖视图。

图2是TiN栅极相对于沉积温度的电阻率特性曲线。

图3是根据常规方法和本发明方法制成的相应TiN栅极的栅极氧化层击穿电压特性曲线。

图4是根据常规方法和本发明方法制成的相应TiN栅极的栅极氧化层恒定电流的TDDB特性曲线。

图5是相应于沉积温度的TiN栅极的晶面间隔的变化曲线。

为了更详细描述本发明,本发明实施例的TiN栅极的特性将与在室温下由传统方法构成的TiN栅极进行比较。

参考图1,具有 $10\ \Omega\text{cm}$ 电阻率的P-型硅基片10受到硅局部氧化(LOCOS)处理,以形成一个确定激活区的器件隔离区12。然后,具有厚度大约为 80\AA 的热氧化层在激活区上生成以构成一个栅极氧化层14。在维持半层体基片处于不低于 $200\text{ }^\circ\text{C}$ 不大于 $800\text{ }^\circ\text{C}$,较优选 $600\text{ }^\circ\text{C}$ 的温度以及100%的氮气气氛中的同时,用溅射方法以第一生成率稀薄地在栅极氧化层14上形成第一TiN层。此后,用溅射方法在氮气和氩气构成的混合气氛中,以不低于 $200\text{ }^\circ\text{C}$ 不大于 $800\text{ }^\circ\text{C}$,较优选 $600\text{ }^\circ\text{C}$ 的温度以及高于第一生成率的第二生成率在第一TiN层上厚厚地形成第二TiN层,以形成TiN栅极16。隔离材料如不掺杂硅化玻璃(USG)具有大约 $2,000\text{\AA}$ 的厚度,它被沉积在生成TiN栅极16的生成构造的全部表面上,并且TiN栅极16在 $450\text{ }^\circ\text{C}$ 以及氮气气氛中热处理约30分钟。随后,利用面积为 0.12cm^2 的16M位网形掩膜(

图中未示出)形成图模,然后形成厚度约 $3,500\text{\AA}$ 的硼磷硅酸玻璃(BPSG)层。该生成的构造在约 830°C 氮气气氛中回流约30分钟,以构成BPSG/USG层18,然后它被有选择地蚀刻构成一个接触孔20以便暴露栅极16。在填充接触孔的同时,金属材料如铝沉积在BPSG/USG层18的全部表面上,然后利用网状掩模制膜。结果,通过接触孔20连接到TiN栅极16的金属膜22被构成。

根据本发明的另外一实施例,首先,构成栅极氧化层14。然后在不低于 200°C 不大于 800°C ,较优选 600°C 的温度下氩气和氮气混合气氛中,利用直流磁控管溅射在栅极氧化层14的表面构成厚度约为 900\AA 的TiN层,以构成TiN栅极16。

然后,为了比较由上述本发明实施例构成的TiN栅极和在室温下由常规方法构成的栅极,研究栅极氧化层的电阻率、击穿电压和电介质击穿时间(TDDB)特性以及晶面间隔空间。

图2表示的是TiN栅极相对于沉积温度的电阻率特性曲线。在图2中,2a表示在60%氮气气氛溅射的情况,2b表示80%氮气气氛溅射的情况,2c表示100%氮气气氛溅射的情况。

参考图2, TiN栅极的电阻随基片温度的增加而降低,尤其在 600°C 附近明显地降低。在室温下由常规方法构成的TiN栅极具有大约 $200\sim 250\mu\Omega\text{cm}$ 的高电阻率,由本发明两步溅射方法构成的TiN栅极具有较低的电阻率约为 $36\sim 60\mu\Omega\text{cm}$ 。另外,由本发明氮气和氩气混合气氛形成的TiN栅极具有约 $33\sim 53\mu\Omega\text{cm}$ 的较低电阻率。形成TiN栅极的气氛中的氮气含量越高, TiN栅极的电阻率越低。因此,根据本发明形成的TiN栅极电阻率低于常规方法形成的栅极电阻率。

图3表示的是根据常规方法和本发明方法制成的相应TiN栅极的栅极氧化层击穿电压特性曲线。图3中,3a表示室温下常规方法形成的TiN栅极的击穿电压,3b和3c分别表示根据本发明实施例形成的TiN栅极的击穿电压。即3b表示两步溅射形成的TiN栅极的击穿电压,3c表示氮气和氩气混合气氛形成的TiN栅极的击穿电压。一般,击穿电压的分布被划分为三种类型。被叫做三次峰值的A型是由于氧化层中管脚的短路。被叫做二次峰值的B型是由于氧化层小的疵点。被叫做初次峰值的C型是由于氧化层的内部击穿。

参照图3,对于室温下形成的常规TiN栅极(参照3a)的栅极氧化层,A型的次品率约27%,B型的不低于60%,这两个值表示很高的次品率。相反,对于根据本发明两步溅射方法形成的TiN栅极(参照3b)的栅极氧化层,A型的次品率降低到不高于10%,B型次品也显著降低。此外,对于由氮气和氩气混合气氛形成的TiN栅极(参照3c)的栅极氧化层,A型次品降低到大约13%,B型次品率大大地降低。从这些结果看出,根据本发明的TiN栅极的栅极氧化层比常规栅极氧化层的击穿电压特性具有很大改善。

根据本发明两步溅射方法形成的TiN栅极的优越击穿电压特性是由于,以前述具有化学计量成分的形成TiN层的步骤,用溅射方法在100%氮气气氛、低生成率在栅极氧化层上形成TiN层,或者含少量氮的富氮(N-rich)TiN层的形成,使得金属钛扩散到栅极氧化层的可能性减少到最小。

图4表示的是根据常规方法和本发明方法制成的相应TiN栅极的栅极氧化层恒定电流的TDDB特性曲线。图4中,4a表示常规TiN栅极,4b和4c分别表示本发明实施例的TiN栅极。即4b表示两步溅射

形成的TiN栅极的情形,4c表示在氮气和氩气混合气氛中形成TiN栅极的情形。

参照图4,对于根据本发明第一和第二实施例形成的TiN栅极(分别为4c和4b),栅极氧化层的恒定电流TDDB特性与室温下形成的常规TiN栅极(4c)的相比大大改善。这是由于生成栅极的材料通过热处理与栅极氧化层发生反应,或者减少扩散到其中以致使本发明形成的TiN层具有稳定的构造。

图5表示的是相应于沉积温度的TiN栅极的晶面间隔的变化曲线。图5中,5a表示松散TiN层的美国标准测试方法(ASTM)的标准值。

参考图5,相应形成TiN栅极的各温度的晶面间隔大于标准值。由上述结果可知TiN晶格被扩张。此外,随着形成栅极温度的增加晶面间隔降低,最终TiN层晶面间隔接近于松散TiN层的水平。即在不低于200℃不大于800℃,较优选600℃的温度下形成的TiN层趋向于具有类似于松散TiN层的结晶结构并且具有比室温下形成的TiN层更加稳定的内部结构。

如上所述,在根据本发明两步溅射生成的TiN栅极中可以获得具有低电阻率并且比常规栅极明显改善栅极氧化层击穿电压的栅极。因此,根据本发明形成的金属栅极可以适用于进一步生成半导体器件。

上述实施例不是对本发明的限制,对本领域的技术人员可以有許多其他变化。

说明书附图

图 1

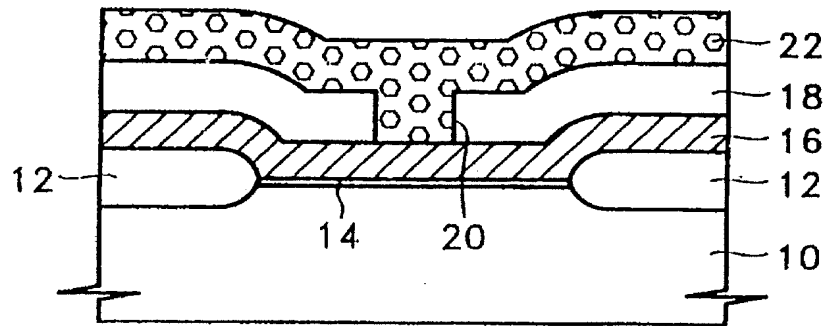


图 2

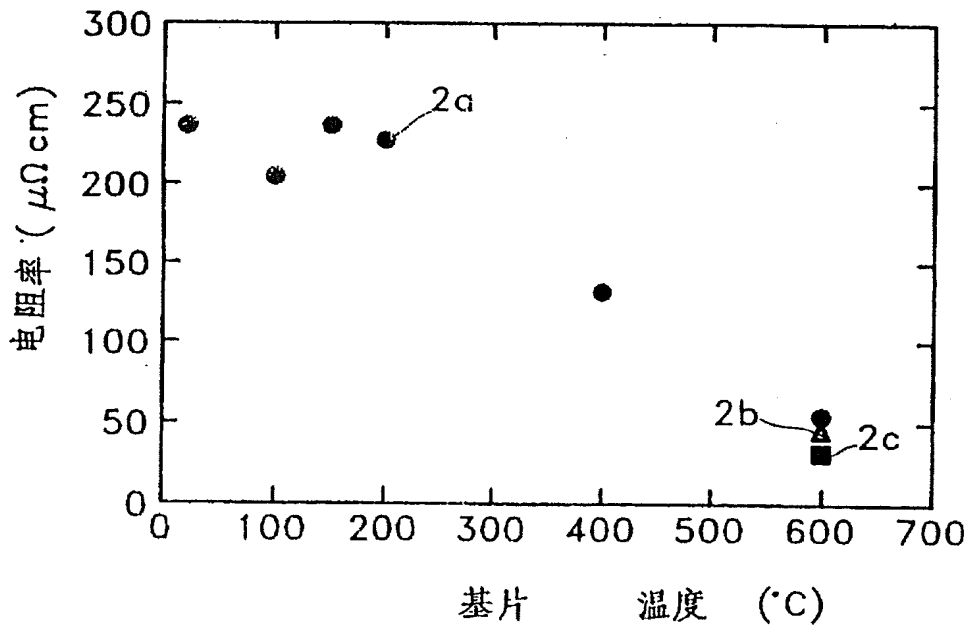


图 3

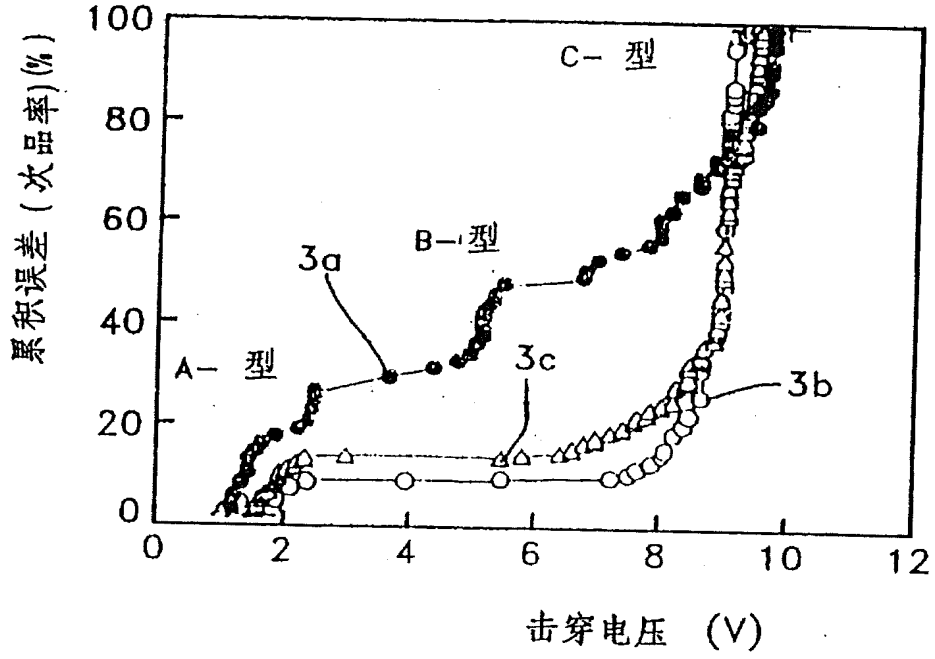


图 4

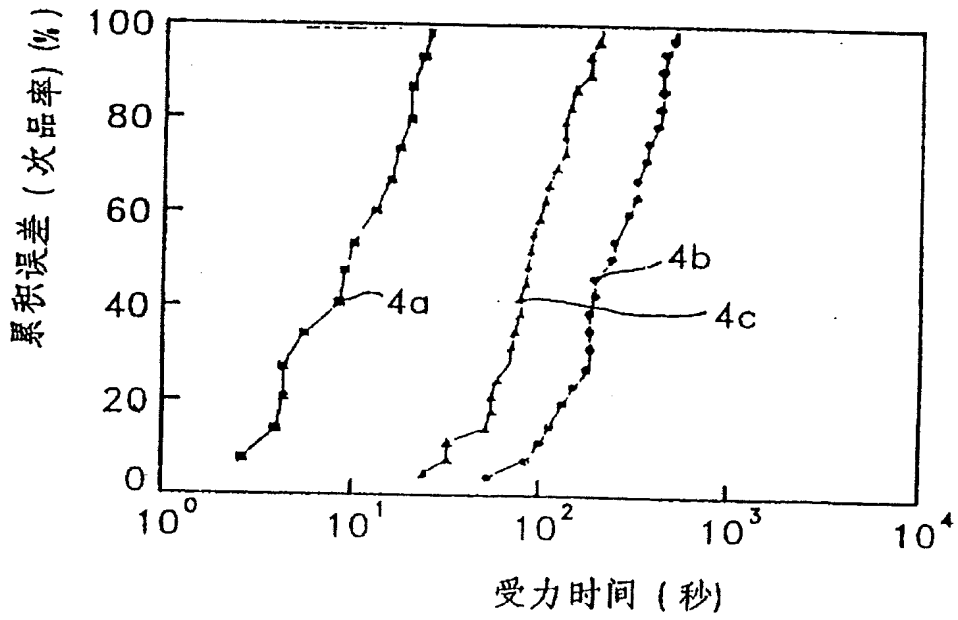


图 5

